



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08097315 A**(43) Date of publication of application: **12.04.96**

(51) Int. Cl. **H01L 23/02**  
**H01L 23/12**  
**H01L 23/36**  
**H01L 23/50**

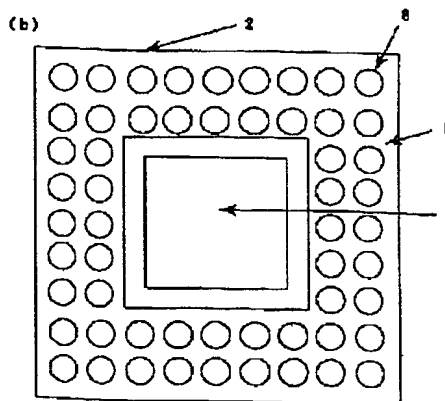
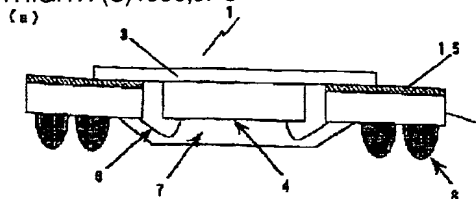
(21) Application number: **06257306**(22) Date of filing: **28.09.94**(71) Applicant: **DAINIPPON PRINTING CO LTD**(72) Inventor: **MATSUMOTO MASAMI****(54) SURFACE MOUNT TYPE SEMICONDUCTOR DEVICE****(57) Abstract:**

**PURPOSE:** To make it possible to simply mount a multi-terminal semiconductor element having high radiation by mounting in such a manner that the terminals of a semiconductor element face the wiring surface side of a single surface wiring substrate, by exposing radiation plate to the outside and by providing solder portions projected out from a resin portion to the outside.

**CONSTITUTION:** A semiconductor element 4 is mounted in such a manner that the terminals of semiconductor element 4 face the wiring surface side of a single surface wiring substrate 2. Electrode pads electrically connected to a semiconductor element 4, electrode pads for external terminals and wiring connecting these electrically are arranged on the wiring surface of the single surface wiring substrate 2. Also, a radiation plate 3 is exposed to the outside, and solder portions 8 are provided, each projecting out from a resin portion 7 to the outer side and having almost a spherical shape from an electrode pad for external terminal not masked. By doing this, the multi-terminal semiconductor can be

mounted and high radiation can be obtained.

COPYRIGHT: (C)1996,JPO



(51) Int.Cl.<sup>8</sup>H 0 1 L 23/02  
23/12  
23/36

識別記号

B

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/ 12

F  
L

審査請求 未請求 請求項の数 1 F D (全 6 頁) 最終頁に続く

(21) 出願番号

特願平6-257306

(22) 出願日

平成6年(1994)9月28日

(71) 出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72) 発明者 松本 真佐美

東京都新宿区市谷加賀町一丁目1番1号

大日本印刷株式会社内

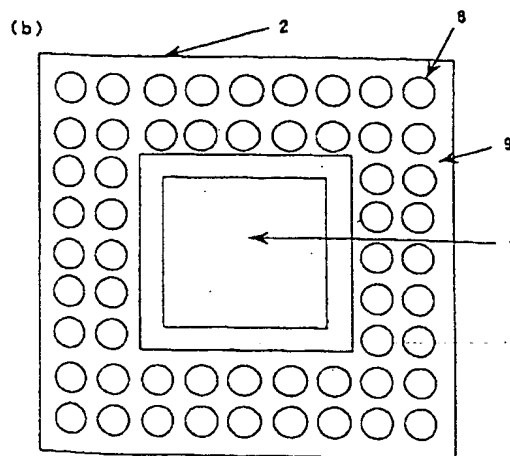
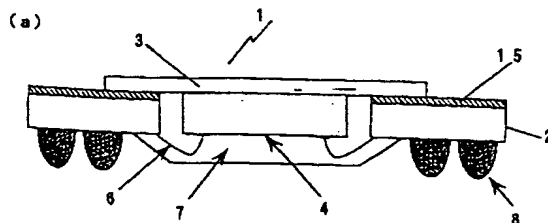
(74) 代理人 弁理士 小西 淳美

## (54) 【発明の名称】 表面実装型半導体装置

## (57) 【要約】

【目的】 半導体装置の高機能化、高集積化に対応して、高放熱性で、多端子半導体素子の実装が行える樹脂封止型の半導体装置で、従来のBGAのようにスルーホールからくる信頼性低下をなくせて、且つ、製造コストも低減できる表面実装型半導体装置を提供する。

【構成】 貫通穴を設けた片面配線基板の配線面に対向する面に絶縁層を介して、貫通穴を塞ぐ金属等からなる放熱板を設け、放熱板の貫通穴部側面に半導体素子を搭載した樹脂封止型の半導体装置であって、半導体素子は、半導体素子の端子が片面配線基板の配線面側に向くように搭載されており、片面配線基板の配線面には、半導体素子と電気的結線された電極パッドと、外部端子用電極パッドと、前記半導体素子と電気的に結線された電極パッドと外部端子用電極パッドとを電気的結線した配線とを配し、放熱板は外部に露出しており、外部端子用電極パッドから略球状に、樹脂部より外側に突出した半田部が設けられている。



## 【特許請求の範囲】

【請求項1】 貫通穴を設けた片面配線基板の配線面に対向する面に絶縁層を介して、貫通穴を塞ぐ金属等からなる放熱板を設け、放熱板の貫通穴部側面に半導体素子を搭載した樹脂封止型の半導体装置であって、半導体素子は、半導体素子の端子が片面配線基板の配線面側に向くように搭載されており、片面配線基板の配線面には、半導体素子と電氣的結線された電極パッドと、外部端子用電極パッドと、前記半導体素子と電氣的に結線された電極パッドと外部端子用電極パッドとを電氣的結線した配線とを配し、上記半導体素子と、半導体素子と電氣的結線された電極パッドと、外部端子用電極パッドとの領域以外はソルダーレジスト等の絶縁物によってマスキングされ、片面配線基板の配線面側の半導体素子全体と、半導体素子と電氣的結線された電極パッドと、該半導体素子と電氣的結線された電極パッドと半導体素子との結線部、とは樹脂封止され、放熱板は外部に露出しており、前記マスキングされていない外部端子用電極パッドから略球状に、樹脂部より外側に突出した半田部が設けられていることを特徴とする表面実装型半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体素子を搭載する樹脂封止型の表面実装型半導体装置（プラスチックパッケージ）に関し、詳しくは、高集積化、高機能化に対応できる表面実装型半導体装置に関する。

## 【0002】

【従来の技術】従来より、樹脂封止型の半導体装置の組立て部材として用いられているリードフレーム（単層リードフレームと言う）は、一般に、図5に示すような形状をしており、半導体素子を搭載するためのダイパッド502とダイパッド502の周囲に設けられ、半導体素子と結線を行うためのインナーリード503と、該インナーリード503に連続し外部回路との結線を行うためのアウターリード504等を備えていた。このような単層リードフレーム501は、通常、コパール、42合金（42%Ni-鉄）、銅系合金等の導電性に優れ、且つ強度が大きい金属板をフォトリソグラフィ技術を用いたエッチング加工方法やスタンピング法等により、図5に示すような形状に加工して作製されていた。そしてこの単層リードフレーム501を用いた半導体装置は、図6に示すように単層リードフレーム601のダイパッド602に半導体素子605（以下単に素子とも言う）を搭載するとともに、素子のボンディングパッド（図示せず）と、金や銀等の貴金属のメッキを施してあるインナーリード603、603aの先端部とを金等からなるワイヤ606により電氣的に接続していた。しかしながら、近年、半導体装置は、電子機器の高性能化と軽薄短小化の傾向（時流）からLSIのASICに代表されるように、ますます高集積化、高機能化になっている。こ

のようなLSIの大規模集積化（高集積化）はウエハプロセスでの微細加工技術の進歩の上に成り立っており、より多くのゲートを1チップに収容でき、さらにチップサイズを小さくすることができるようになってきている。

【0003】そして、この半導体チップの高集積化、高機能化は半導体チップの動作スピードの増加を招くこととなり、信号の高速処理のため、半導体チップ内の信号遅れよりパッケージ配線での信号の遅れの方が支配的になってきて、ノイズの問題も含めて半導体パッケージ内の電氣的特性を改善する必要に迫られてきた。パッケージ内のインダクタンスが無視できない状況になってきたのである。このようなパッケージ内のインダクタンスを低減するために、電源、グラウンドの端子数を多くし、実質的なインダクタンスを下げるようにして、ノイズの低減等電氣的特性の改善をしてきた。しかしながら、電源、グラウンドの接続端子数の増大は、半導体装置の総ピン数の増大にもなる。この端子数の増大は、リードフレームの加工限界から、インナーリード幅、ピッチをそのままとした場合には、インナーリード部をチップから離す傾向となり、リードフレームのインナーリード部を含むサイズは大きくなってしまい、半導体装置自体を逆に大きいものとしてしまう。そこで、半導体装置サイズを変えずに入出力端子を増やす方法としてリードフレームのアウターリードのピッチを狭くする方法が採られてきた。このアウターリードのピッチはこれまで1.0mmから0.8mm、0.5mmと徐々に狭くなってきているが、0.4mm、0.3mmと更にピッチが狭くなるにつれ、これら狭ピッチの実装工程が難しくなってきた。

【0004】このような半導体装置の実装工程の難しさを回避する方法として、BGA（ボール・グリッド・アレイ）と呼ばれる半導体装置が開発されている。このBGAは、入出力端子を増やすために、BTレジン（ビスマレイミド系樹脂）を代表とする耐熱性を有する樹脂板を基材とする両面配線基板（プリント基板）の表面に半導体素子を搭載し、裏面に球状の半田を取付けた外部端子用電極を設け、スルーホールを通じて半導体素子と外部端子用電極との表裏導通をとっていた。裏面の球状の半田をアレイ状に並べることにより、端子ピッチの間隔を従来のリードフレームを用いた半導体装置より広くすることができ、この結果、半導体装置の実装工程の難しさの度合いを上げることなく入出力端子の増加に対応できた。また、BGAでは電氣特性の向上を図る場合は、基板を多層構造の多層配線基板とし、両面配線基板同様スルーホールを通じて半導体と外部端子用電極との導通をとっていた。

## 【0005】

【発明が解決しようとする課題】しかしながら、従来のBGAは両面配線基板にスルーホールを設け、このスルー

一ホールを通じて表裏の導通をとる必要があるため、半導体装置コストは従来の金属板をフォトリソ法やスタンプ法等により製造されるリードフレームを用いたものより生産コストが高くなってしまおうという問題もあった。また、従来のBGAでは、基板樹脂の熱膨張の影響からスルーホールにて断線をおこすことがあり、信頼性の低下につながっていた。そして、従来のBGAは両面配線基板（プリント基板）としてBTレジン（ビスマレイミド系樹脂）を代表とする耐熱性を有する樹脂基板基材をコア材として用いているため熱抵抗が大きくなり、放熱性が悪くなってしまおうという問題もあった。本発明は、これらの問題を解決しようとするもので、上記のような信頼性低下を招かず、低コストで高放熱性で多端子半導体素子の実装が行える表面実装型半導体装置を提供しようとするものである。

#### 【0006】

【課題を解決するための手段】本発明の表面実装型半導体装置は、貫通穴を設けた片面配線基板の配線面に対向する面に絶縁層を介して、貫通穴を塞ぐ金属等からなる放熱板を設け、放熱板の貫通穴部側面に半導体素子を搭載した樹脂封止型の半導体装置であって、半導体素子は、半導体素子の端子が片面配線基板の配線面側に向くように搭載されており、片面配線基板の配線面には、半導体素子と電気的結線された電極パッドと、外部端子用電極パッドと、前記半導体素子と電気的に結線された電極パッドと外部端子用電極パッドとを電気的結線した配線とを配し、上記半導体素子と、半導体素子と電気的結線された電極パッドと、外部端子用電極パッドとの領域以外はソルダーレジスト等の絶縁物によってマスキングされ、片面配線基板の配線面側の半導体素子全体と、半導体素子と電気的結線された電極パッドと、該半導体素子と電気的結線された電極パッドと半導体素子との結線部、とは樹脂封止され、放熱板は外部に露出しており、前記マスキングされていない外部端子用電極パッドから略球状に、樹脂部より外側に突出した半田部が設けられていることを特徴とするものである。

#### 【0007】

【作用】本発明の表面実装型半導体装置は、上記のような構成にすることにより、多端子半導体素子の実装ができ、且つ、高放熱性を可能としている。詳しくは、金属等からなる放熱板を外部へ露出させて、ヒートシンク型としていることにより、放熱（熱放散性）に優れたものとしている。そして、半導体素子の端子、半導体素子と電気的に結線した電極、外部端子用電極を全て金属板の第一の面側に形成することにより、従来のBGAのように、スルーホールを介して半導体素子と外部端子を結線する必要がないものとしている。BTレジン（ビスマレイミド系樹脂）を代表と耐熱性を有する樹脂材を基材とする片面配線基板を用いていることによりその作製を容易なものとしており、且つ、低コストの作製を可能として

いる。

#### 【0008】

【実施例】本発明の表面実装半導体装置の実施例を以下、図にそって説明する。図1（a）は本発明の実施例表面実装半導体装置の断面図であり、図1（b）は本発明の実施例表面実装半導体装置の平面図で、図3～5は本実施例表面実装半導体装置の内部構造を示した概略平面図である。図中、1は表面実装半導体装置、2は片面配線基板、3は金属板、4は半導体素子、4Aは半導体素子端子、5は半導体素子搭載部、6はワイヤ、7は樹脂、8は半田、9はソルダーレジスト、12は半導体素子との結線用電極パッド、13は外部端子用電極パッド、14は配線、15は絶縁層、16は貫通穴である。本実施例表面実装半導体装置は、図1に示すように半導体素子3の厚みに略相当する片面配線基板2に貫通穴16を設け、この貫通穴16部に半導体素子を、金属板3を介して搭載したものである。片面配線基板2の配線面側には、半導体素子と電気的結線された電極パッド12と、外部端子用電極パッド13と、前記半導体素子と電気的に結線された電極パッド12と外部端子用電極パッド13とを電気的結線した配線14とを配している。半導体素子4と、半導体素子と電気的結線された電極パッド12と、外部端子用電極パッド13との領域以外はソルダーレジスト等の絶縁物によってマスキングされている。又、片面配線基板2の配線面側の半導体素子全体と、半導体素子と電気的結線された電極パッドと、該半導体素子と電気的結線された電極パッドと半導体素子との結線部、とは樹脂封止されており、片面配線基板2の配線面側でない面に設けられた金属板3は外部に露出している。ソルダーレジスト等の絶縁物によってマスキングされていない外部端子用電極パッド13から略球状に、樹脂部8より外側に突出した半田8が設けられている。そして、半導体素子3の端子3Aと半導体素子3との結線用電極パッド12はワイヤ5により結線され、半導体素子との結線用電極パッド12と外部端子用電極パッド13とは配線部14により結線されている。

【0009】片面配線基板2は、基材（コア材）としてBTレジン（ビスマレイミド系樹脂）を用いたが、これに限定されるものでなく、他に、紙基材フェノール樹脂や紙基材エポキシ樹脂などの積層板の片側に銅（Cu）箔を接着した基板を用いても良い。金属板3は、ヒートシンク型の放熱板であり、実施例ではCu材であるが、これに限定はされない。放熱性のものであれば、特に金属である必要もない。

【0010】次いで、上記実施例の表面実装半導体装置の製造方法を挙げ、図2に沿って説明する。図2は製造工程を説明するため要部の概略図である。先ず、略半導体素子の厚みに相当するBTレジン（ビスマレイミド系樹脂）を基材2Aとし、Cu箔2Bを片面に覆ったからなる片面配線基板用基材2を用意し（図2（a））、片

面配線基板用基材 2 に、半導体素子を収納できるスペースでドリル等により貫通穴 16 をあけた後に、片面配線基板用基材 2 の Cu 箔 2 B があつた面とは反対側の面に絶縁層（樹脂層）15 を形成する（図 2（b））。この絶縁層 15 の形成方法としては、スクリーン印刷法でも、フィルム上の絶縁性樹脂を熱圧着しても良い。次いで、Cu 箔 2 B 上に、Cu 箔からなる半導体素子との結線用電極パッド 12、外部端子用電極パッド 13 と、前記半導体素子と電氣的に結線された電極であるパッド 12 と外部端子用電極パッド 13 とを電氣的結線した配線 14 を作製する為、耐腐蝕性膜としてのレジストパターンを所定の形状に作製する（図 2（c））。レジストパターンの作製方法としては、スクリーン印刷方法あるいはリソグラフィ法が挙げられる。リソグラフィ法の場合は液状レジストあるいはドライフィルムレジストが用いられる。この後、所定のパターンに形成されたレジストを耐腐蝕性膜として、Cu 箔を腐蝕液によりエッチングして（図 2（d））、レジストを剥離して所定のパターンに対応した Cu 箔のパターンを作製した（図 2

（e））。このとき状態を示したものが図 3 である。次いで、片面配線基板用基材 2 A の、配線面に対向する側の面より、絶縁層を介して、貫通穴 16 を塞ぐように金属板 3 を接着する。（図 2（f））この後、半導体素子領域（貫通穴 16 部）や半導体素子との結線用電極パッド 12 領域、外部端子用電極パッド 13 領域のみを露出させた状態にソルダーレジスト 9 を覆った後、ソルダーレジスト 9 から露出した、ワイヤボンディングを後に行う半導体素子と電氣的に結線される電極パッド 12 と外部端子用の電極パッド 13 に電解金メッキを施しておく。（図 2（g））次いで、貫通穴 16 側の金属 3 の面上に、半導体素子 4 を端子 4 A が、片面配線基板の配線面側に向くように、にして搭載した。（図 2（h））半導体素子を搭載した後、半導体素子 4 の端子 4 A 部と電氣的に結線される電極パッド 12 とを金線からなるワイヤ 408 にてボンディング結線した（図 2（i））。このときの状態を示したものが図 4 である。ボンディング結線後、半導体素子 4、ワイヤ 6、半導体素子 4 との結線用の電極パッド 12 を含む所定領域をイオン性不純物の含有量が少ないエポキシからなる樹脂 7 にて樹脂封止した（図 2（j））。樹脂封止は、モールド樹脂封止、ポッティング樹脂封止のいずれの方法でも可能である。次いで、ソルダーレジスト 9 から露出した外部端子用電極パッド 13 部上の金メッキ 20 部上に球状に半田 8 を作製して（図 2（k））、表面実装半導体装置を得た。この状態に相当するものが図 1 である。球状の半田 8 の作製は、金メッキされている外部端子用電極パッド 404 にフラックスを供給した後、0.8mmφ程度の半田ボールを搭載し、リフローすることにより行う。

【0011】

【発明の効果】本発明の表面実装型半導体装置は、以上のように、従来の BGA（ボール・グリッド・アレイ）のように、スルホールを設けた複雑な構造ではないため、製造コストを大幅に削減でき、信頼性も高くしている。そして、半導体素子を金属等からなる放熱板上に搭載して、且つ、金属板が半導体装置の外側表面にでた、ヒートシンク型となっていることにより、放熱性に優れたものとしており、従来の BGA よりも格段と放熱性の面ではすぐれた構造としている。

#### 【図面の簡単な説明】

【図 1】実施例表面実装型半導体装置の平面図および断面図

【図 2】本発明の表面実装型半導体装置の製造方法実施例の工程図

【図 3】本発明の表面実装型半導体装置の製造工程における状態を示した図

【図 4】本発明の表面実装型半導体装置の製造工程における状態を示した図

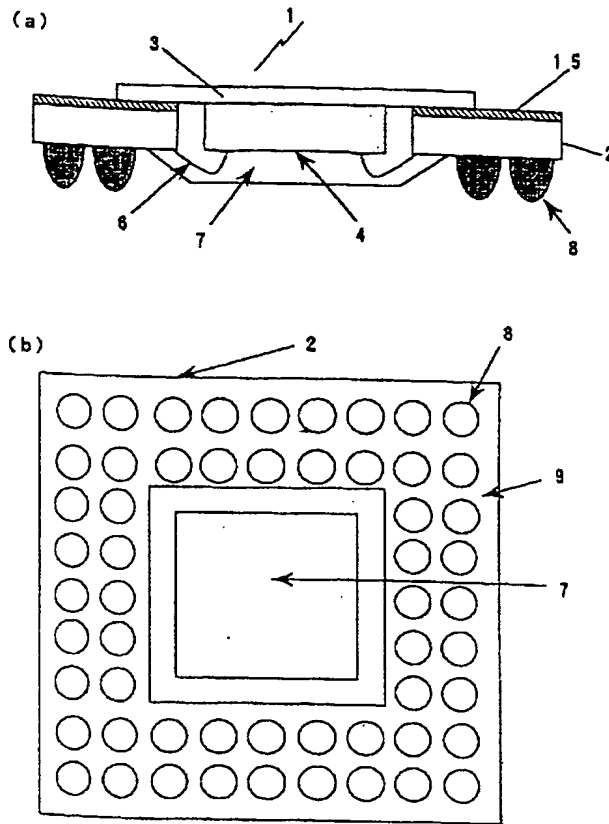
【図 5】従来の単層リードフレームを示す図

【図 6】従来の単層リードフレームを用いた半導体装置の要部を示す図

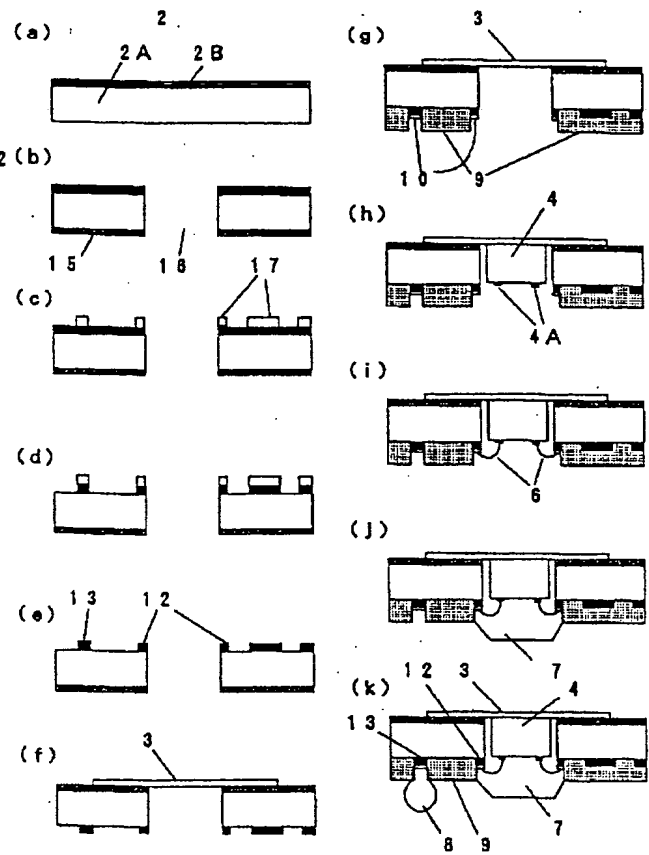
#### 【符号の説明】

1	表面実装半導体装置
2	片面配線基板
2 A	基材
2 B	Cu 箔
3	金属板
4	半導体素子
4 A	半導体素子端子
5	半導体素子搭載部
6	ワイヤ
7	樹脂
8	半田
9	ソルダーレジスト
12	半導体素子との結線用電極パッド
13	外部端子用電極パッド
14	配線
15	絶縁層
16	貫通穴
17	レジストパターン
501	単層リードフレーム
502	ダイパッド
503	インナーリード
504	アウターリード
601	単層リードフレーム
602	ダイパッド
603、603 a	インナーリード
605	半導体素子
606	ワイヤ

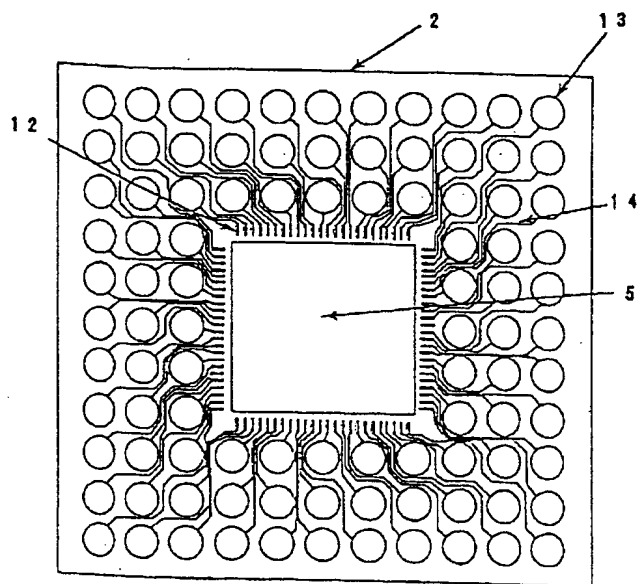
【図1】



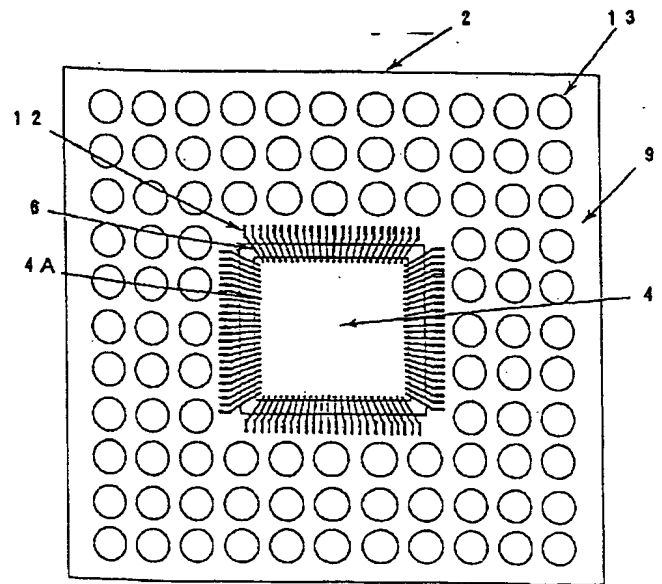
【図2】



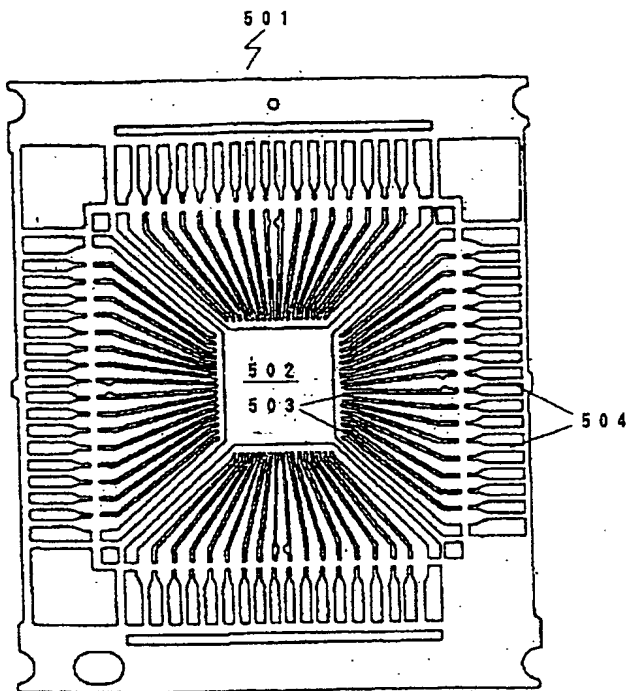
【図3】



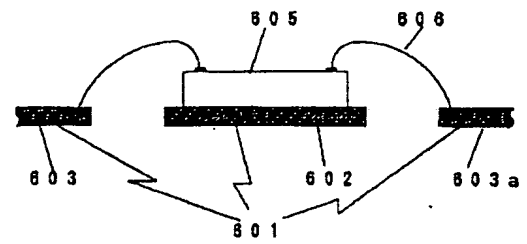
【図4】



【図 5】



【図 6】



フロントページの続き

(51) Int. Cl.<sup>6</sup>  
H01L 23/50

識別記号 庁内整理番号  
R

F I

技術表示箇所

H01L 23/36

C